

RF向けシステムインパッケージならびにマルチチップモジュール設計と最適化において利用可能な設計ツールの全容

今日、RFシステムインパッケージ(以下SiP)とマルチチップモジュール(以下MCM)の設計において、CMOS集積回路でデジタル回路、GaAsやSiGeデバイスでRF/マイクロ波回路をフレキシブル基板やLTCCパッケージに実装することが見受けられます。これら複雑な回路設計では、各実装技術において最適なコンポーネント設計と配置を行うため、合成、シミュレーションそして検証にいたる行程を統一されたインターフェース上で利用されています。SiPにおいては、回路図の構成と物理的な設計を統一されたコマンドとメニューで行われてしかるべきです。

しかし、これは一般的に見られる光景ではありません。GaAsチップ設計を一つのIC設計ツールで一環して設計しているケースは無く、SiやSiGeでは他のツール、LTCCやPCB設計ツールを利用し設計された多層ラミネート基板に、これらが統合されているといった行程が一般的ではないでしょうか。AWR Design Environment™(以下、AWRDE)/Microwave Office®は、この分断された行程に対して、コンセプト段階からシステムレベルまでを、より短時間で精度よく設計できる様に、また簡単であるが包括的に完成されたユーザインターフェースで、これら複雑で複数の実装技術が混在したデバイスの設計において理想の環境を提供しています。

何が必要か

以下に示すものは、RF向けSiPやMCM設計において、必要となるであろう項目で、これらにより完成され、要求にかなう設計環境が整います。

- コンポーネントレベルでの定常状態ならびに時間領域でのシミュレーション
- アナログ回路設計プロセスでのフィルタおよび整合回路合成ツール
- 様々な変調方式をサポートしている高次システムシミュレータ
- 複数のテクノロジーに対応したライブラリ群
- 複数のプロセスデザインキット(PDK)のサポート
- グラフィカルなシミュレーション結果の表示とそのポスト処理
- 2D/3D電磁場シミュレータ
- プリント基板ならびに複積層基板でのGaAs、シリコン、SiGeプロセスからの回路抽出
- ERC、LVS、DRCなどのレイアウト検証ツール
- 最終工程となる製造ツールへのリンク
- 様々な視点から表現した設計を常に同期できる最新のオブジェクト指向プログラミング技術を駆使した共通設計データベース

最新ツールと技術が組み込まれているAWRDEは、必要となる全ての機能や操作手法を、一つのユーザインターフェースに統合し、実現しています。回路図におけるコンポーネントシンボルは、一つの視点から見たもので、レイアウト表示上での2次元あるいは3次元のコンポーネント、あるいは電気的モデルの表現も、同期するものとして捉えられています。統合化された設計環境において、例えば一つのコンポーネントが削除されると、それに関係づけられた各表現も削除されることになります。これは、一人のエンジニアが、共通した設計フレームワークの中で、全ての設計活動を把握することが出来る事を意味し、わざわざ回路図とレイアウト図を故意に同期させる必要がありません。これは、すなわち、レイアウト図-回路図検証(LVS)行程を削減することであり、従来の設計行程から、このLVSを排除できる事を意味します。



Malcolm Edwards
AWR Corporation
malcolm@awrcorp.com

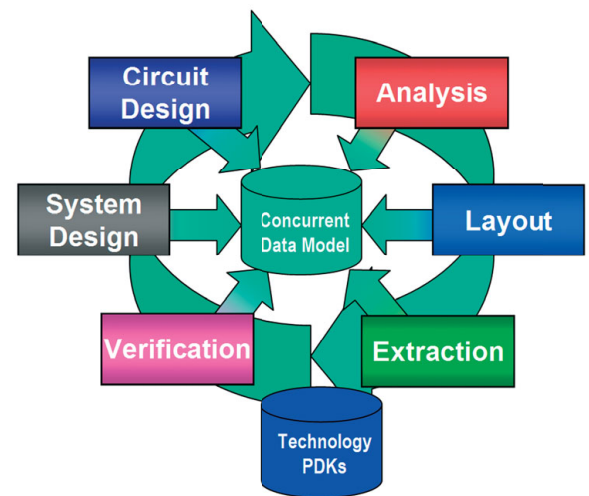


図1: 設計技術や設計ドメインにおいて、必要なツールが用意され、相互間にバリアが存在しないコンカレント設計フロー

今日の設計ツールにおいて、最も要求な項目として、複数のPDKのサポートです。一般的に、PDKにはデバイスモデルとそのフットプリントが含まれ、それに対応したエレメントシンボルやプロセス技術が内包されています。プロセスデータ、素材の積層構造、ファンダリ/製造プロセスにおける誘電体や導体に関するパラメータなどがファイルに登録されており、これらでPDKが構成されています。一般的に、EDAのフレームワークにおいては、一つのプロセスがサポートされています。しかし、RF向けMCMやSiPの設計フローでは、複数のPDKのサポートが必要で、それにより異種のプロセス技術でも総合的に設計が可能となります。例えば、AWRのMicrowave Office設計ソフトウェアでは、WIN Semiconductor社、TriQuint Semiconductor社やGaAs E/D HEMTやSiGeに代表される化合物半導体デバイス技術など、複数のPDKをサポートしています。

SiPが一つのパッケージで無い限り、積層ラミネートあるいはLTCC基板を定義する必要があります。積層ラミネートあるいはLTCC基板は、インターコネクションのためや筐体みの位置づけではなく、埋め込み受動デバイスあるいは表面実装デバイスのアタッチメントとして機能します。これは、SiP設計者にとっては朗報であり、コンポーネントの選択と配置に自由度が増します。例えば、バイアスチョークとしてのインダクタは、半導体チップの上に配置できたり、複数層からなるスパイラルインダクタとして基板に埋め込んだり、巻き線インダクタを表面実装デバイスとして配置することが可能でしょう。全ての項目をサポートした設計環境のみが、迅速で効果的にアクセサリ時の制限を把握したり、インダクタQ値、自己共振周波数、信頼性、実装ならびに部品コストなどを包括的に評価できるのです。

設計行程：ボトムアップ

SiPの動作周波数や様々な信号への対応が増す中で、回路中のインターコネクションに関して、レイアウトやそのモデリングを突き詰めて行く事の重要性が増しています。AWRの設計ソフトウェアは、インターコネクション設計に対して、二通りのアプローチをサポートしています。その一つは、注目すべきインターコネクションを従来のマイクロストリップ線路、コプレーナ導波路、ストリップ線路で表現する方法、二つ目はプリント基板設計やIC設計に見られるワイヤとしての表現です。後者に関して、AWRの独自のインテリジェントネット(iNet™)技術を利用して取り扱うことができます。iNetは、レイアウト表示においてはトレースあるいは線路として表現されているインターコネクションエレメントであり、回路図表示では単なるワイヤとして見えます。

即ち、iNetは、単純な直流的な接続、RLCKなどの基本コンポーネントを組み合わせた中間的モデル、あるいは分布定数によるマイクロストリップ線路モデルでもあります。もし、インターコネクションに、これらの何れかのアプローチが適用されると、iNetは電磁場解析をベースとした回路抽出を行います。もし、結合した線路の影響が大きく、回路のパフォーマンスに影響を与えたり、グラウンドプレーンに影響を与えるなら、更に詳細で精度を確保するアプローチが必要となるでしょう。

AWRの先進的なACE™(automated circuit extraction、自動回路抽出)は、AWRDEに組み込まれている抽出機能です。ACEは、物理的なレイアウトからデジタル回路あるいはミックスド・シグナル回路を抽出する実績のある技術で、しかもマイクロ波モデルや高周波における論理を踏襲しています。配線接続のジオメトリは、3次元モーメント法ソルバ、3次元任意形状に対応した有限要素ソルバ、有限差分時間領域ソルバなどにデータを渡し利用できますし、更にユーザ定義ルールに従った等価回路の抽出にも利用できます。

図2は、実装されたコンポーネントを除いた、多層基板のインターコネクションの一部を表したものです。この例では、埋め込まれた受動コンポーネントの詳細は明らかではありませんが、最新のSiPやモジュール設計で見られる複雑さであることは明らかです。埋め込まれたダイプレクサの様なファンクションブロックとして表現される受動コンポーネントはSパラメータでモデル化され、あるいはポリマー薄膜キャパシタや埋め込まれたスパイラルインダクタなどはスケラブルなデバイスとしてモデル化されているでしょう。一般的な、多層ラミネート実装でSi、GaAs、SiGeなどを含むSiP設計例を図3に示します。

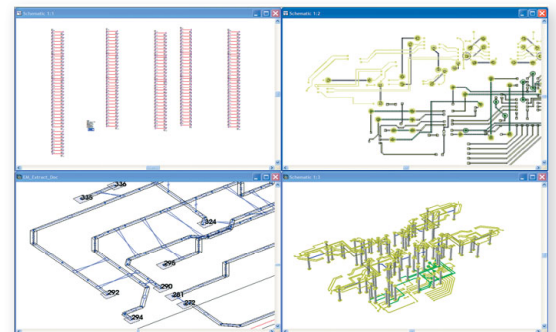


図2: ACEを利用して168iNetインターコネクションを抽出した16層基板

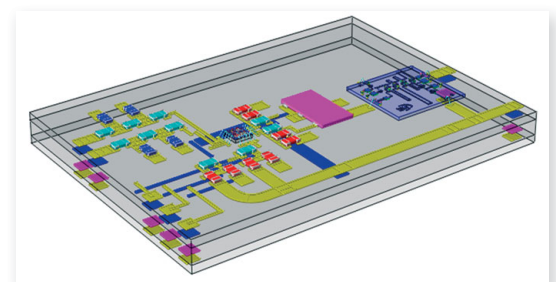


図3: Si、GaAs、多層ラミネートの技術が集約されたSiP設計で、各インターコネクションはiNetとして定義されています。

ここで、ACEと合わせて、iNetでのアプローチに隠された利点があります。物理的設計のエントリーが簡単である以上に、自動抽出の併用で、設計者は回路の最適化や歩留まり解析を行え、電磁場解析での解析時間の長さによる設計にかかる時間の減少に苦慮する必要はありません。歩留まり解析は、下流の検証工程と言うより、前段の設計行程となります。

デジタル回路あるいはミックスド・シグナル回路の抽出は、一般的にRLCKによるネットリストの形式になっているかと思います。しかし、マイクロ波特有の分散、表皮効果を捉えるには非常に大規模なネットリストになり、また表現できる帯域幅にも限界があります。対照的に、ACEによる抽出では、これら分散、表皮効果、帯域幅の問題を解決するためマイクロ波エンジニアの間で長年信頼され利用されてきたMLIN/SLIN、MTEE/STEE、M2CLIN/S2CLINなどの分布定数線路、結合線路、不連続線路で表現します。更に、ビアの場合は、ライブラリに登録されているSパラメータ、あるいは単純な抵抗、またはAWRのビアモデルで表現されます。

複雑な形状を持つ導体で、これら既存モデルに置き換えが難しい場合もあります。その場合には電磁場解析を利用することもあるでしょう。しかし、最終的には、高速で効果的な設計と解析行程を多用し、必要となった時だけ、高度な解析で高精度な結果をもたらすツールを利用すべきです。エンジニアによる工数が通常数時間から数日要するネットリスト生成ですが、ACEは自動的にほんの数分で詳細で広範囲に対応したネットリストを生成します。信頼性を向上するために電磁場解析を利用する際には、自動補正を行う内部EMポートが利用されます。これらのポートは、表面実装デバイスと半導体デバイス間をつなぐインターコネクションからの抽出に電磁場解析を行います。そして、設計者の複雑な操作無しにネットリストは自動的に、回路ソルバに渡されます。

図4aと図4bは、それぞれACEとAXIEM™(AWRの3次元プレナーEMツール)の2種類の電磁場解析に関連した図を示します。ACEによる図(4a)は、線路の形状から線路モデルを抽出する過程を示し、AXIEMによる図(4b)では、メッシュの数を間引いてありますが、電磁場解析特有のメッシュ分割した様子です。各々の線路は、初期段階でのレイアウトと回路図との(LVS)検証のため色分けしてあります。この図により、短絡あるいは開放のチェックを必要とせず、またフルにLVSによるチェックを行わずとも、配線の誤りを見つけ出し、修正することは可能でしょう。

SiP設計の多くの場合、RFあるいはマイクロ波、高速なデジタル信号を取り扱うモジュールが実装されていると判断されます。高周波回路での線路は、それに対応したエレメント(MLINSなど)が利用され、高速デジタル信号を取り扱う線路では、iNetを利用することになるでしょう。これ以外に、アナログとデジタル回路設計手法の違いは、利用するモデルの違いになります。

アナログ高周波コンポーネントでは、その動作を規定するのにピヘイビアモデル、Sパラメータ、あるいは基本となるエレメントを組み合わせ表現するでしょう。一方、デジタルでは、各コンポーネント終端での動作を規定するために入力/出力パッファ仕様情報(IBIS)が利用されます。IBISモデルでは、線路により寄生要素、あるいはパッケージに由来する寄生要素などを考慮し、デジタル波形の劣化の検討を行います。(図5)

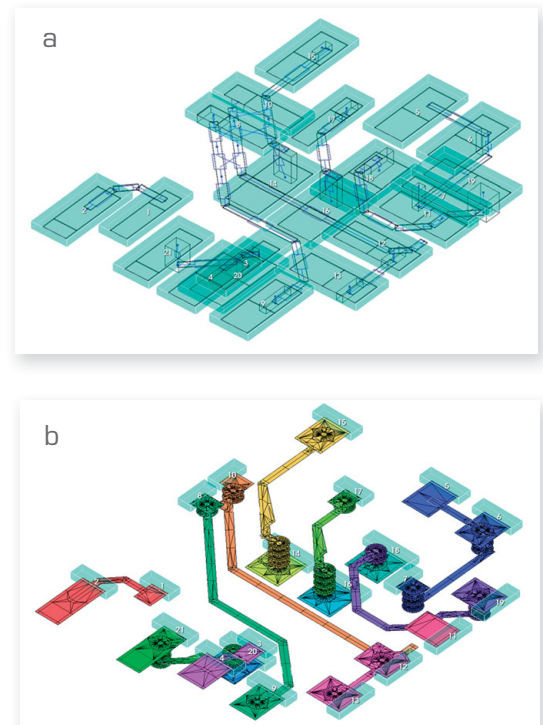


図4: 表面実装以外のシングルダイSiPのACEとAXIEM(AWRの3次元プレナーEMツール)解析モデル

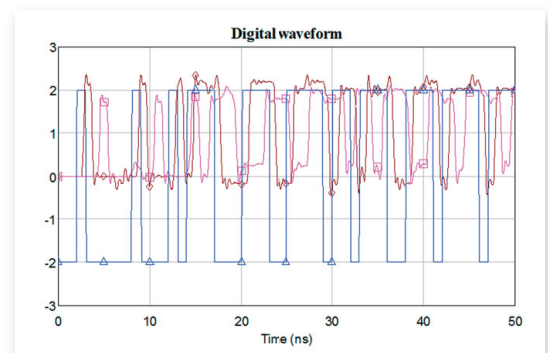


図5: チップにあるピンのIBISモデルを利用した過渡シミュレーション

設計タスク： トップダウン

前述のチップあるいはパッケージの設計がなされる前に、システム構成を決定します。それは、増幅器、フィルタ、ミキサ、AGCなどの処理ブロックに区分けする事です。各ブロックにおいては、最適な実装技術を複数候補から選択するかもしれません。リスク低減、市場投入への時間短縮、市場からの要求がSiPの構成を形作ります。AWRのVisual System Simulator™(VSS)は、この様なシステムの検証のために誕生しました。これは、通信系システム、レーダなど広範囲にわたるシステムにおいて、最高のパフォーマンスを発揮するか否かを検証するのに、大いに役立ちます。VSSの2つの持つ大きな特徴は、RFバジェット(RFA™)解析とRFインスペクタ(RFI™)です。この両者は、マルチバンド、マルチ波形システムの設計には、大きな恩恵をもたらします。RFバジェット解析では、ミキサでのノイズイメージを考慮したり、システムパフォーマンスをチェックするための即時性のあるパラメータチューニング機能などを備え、統計解析や歩留まり解析などを含まれています。電圧定在波比(VSWR)の効果を加える事で、システムのアナログ回路間の相互関係、ノイズ指数、2トーン、3次オーダーインタセプトポイント、製造技術に対応した利得の調整などを行えます。

VSSは、Microwave Office設計環境とシームレスに統合され、回路レベルのモデルや測定データなどは、これに準備されているビヘイビアモデルと置き換えることができます。VSSでの統計的バリエーションを与えたRFバジェット解析とその効果がシステムの利得にどの様に影響を与えるかを検証できます。RFバジェット解析と並行して、シグナルインテグリティの問題も重要で検討すべきでしょう。周波数変換数が増すにつれ、シムセサイザ設計の自由度が増します。しかし、コスト、複雑さ、それに付随する技術的問題が発生します。設計者は、VSSの持つ特徴的なシステムダイアグラムを利用することで、問題点を早期に見出し検討することが可能となります。

SiPである関係上、スクリーニングは導体層をグランドプレーンとして割り当てることで達成できます。他の導体層は問題となる信号線トラックとして温存できるでしょう。VSSの特徴であるRFインスペクタで、この部分の解析を行えます。図6に示すVSSのスクリーンイメージは、ダブルコンバージョン受信機での必要/不必要信号を表示したもので、図6bでは、特定のスペリアスを選択後に集めたデータを示します。それは、要信号と不要信号にかかわるデータのヘリテージを含んでいます。各信号のヘリテージを理解する事は、強固なシステム設計には重要で、VSSによる洗練されたレポート機能はその助けになります。システムの利得、ノイズ指数、3次オーダーインタセプトポイントなど基本的な要件を決めますが、それはデータのトランスポートの検討に必要です。そして最期に、VSSでのテストベンチが完了します。図7には、モバイルWiMAXでの、それを示します。

結論

RF向けSiPならびにMCMの設計は、広範囲で様々な設計プロセスを包含しており、それは詳細な回路設計からシステム設計にまで至ります。なぜなら、これらの複雑な回路は、複数の半導体技術、広範囲な周波数帯で必要となる機能が組み込まれているからです。これを完成させるには、一つのアーキテクチャで統一されたアプローチ、そしてシミュレーションができるEDA環境でのみ可能となります。そして、このシミュレーション技術としては、回路、システム、電磁までが統合化されたもので、利用が簡単で包括的なユーザーフェースを利用できる事で高い生産性を実現できます。AWRDEが、このRF向けSiPならびにMCMコミュニケーション応用機器設計分野で、これら全てを具現化したものです。

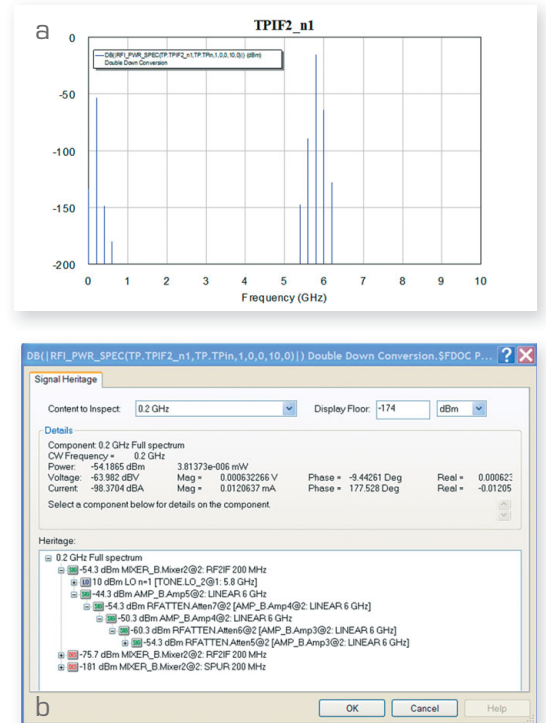


図6: (a)RFインスペクタはダブルコンバージョン受信機での要/不要信号表示しています。(b)スペリアスの詳細。要/不要信号のヘリテージ

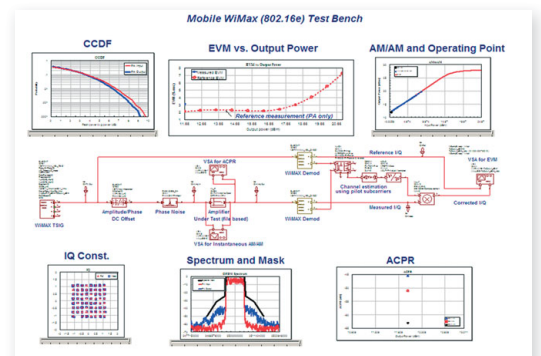


図7: VSSを利用したモバイルWiMAXのテストベンチ